本 記事는 日本 CQ出版社가 發行하는 「トランジスタ技術」誌와의 著作權 協定에 依據하여 提供받은 資料입니다.

2 손실의 원인인 '온 저항과 스위칭 속도'가 개선됐다

파워 MOSFET의 구조

間瀬 勝好 (Mase Katsuyoshi)

파워 디바이스 중에서 가장 적극적으로 개량된 것은 고속으로 전류를 ON/OFF할 수 있는 파워 MOSFET이다. 손실과 발열이 작을 경우 소형화와 신뢰성 향상으로 이어진다. 각 반도체 제조사에서는 온 저항 저감과 고속화를 위해 경쟁적으로 연구하고 있다.

파워 MOSFET이 CMOS IC보다 큰 전류를 흘릴 수 있는 이유

MOSFET(Metal Oxide Semiconductor Field Effect Transistor)은 베이스 기판에서 PN 접합을 형성하지 않은 부분에 산화막과 금속 전극을 형성한 반도체이다. 베이스 기판의 종류에 따라 P채널 MOSFET과 N채널 MOSFET으로 분류된다.

MOSFET은 마이컴 등 CMOS 디지털 IC에도 이용되고 있는 반도체이다. 그러나 CMOS 디지털 IC에서 파워 디바이스와 같이 수백V를 넘는 높은 내압을 가지며 수십A 이상의 큰 전류를 흘릴 수 있는 제품은 없다. 이러한 차이는 구조에 의한 것이다.

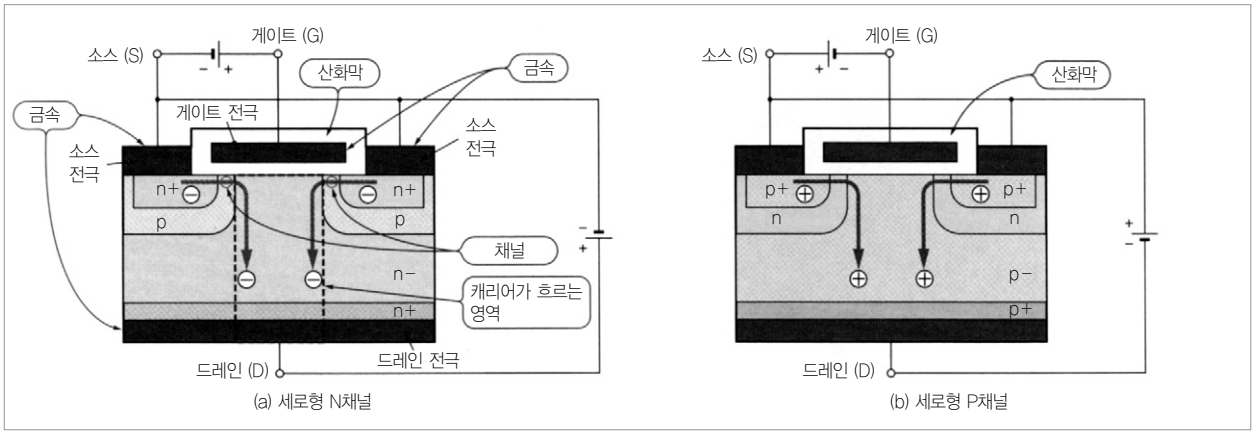

그림 1. 파워 MOSFET은 전류가 세로 방향으로 흐른다 (게이트에 전압을 가하면 산화막 바로 아래에 전자 또는 정공이 모여 전류가 흐르게 된다)

표 1. 파워 MOSFET의 분류

타입명		최대 드레인-소스간 전압	최대 드레인 전류	응용
중고내압		75~1,000V	0.5~80A	전원, 가전기기, 정보기기의 내장 전원, TV용 백라이트 인버터
초접합		600~650V (200~900V)	12~50A (0.3~93A)	전원, 가전기기, 정보기기의 내장 전원
저내압	범용	16~250V	0.05~150A	전원, 모터 구동, TV용 백라이트 인버터
	고속 타입	20~250V	1.7~50A	PC용 DC-DC 전원
	저온 저항 타입	12~250V	1.1~45A	배터리 보호, 로드 스위치

파워 MOSFET 패키지 속에는 복수의 MOSFET 소자를 집적한 칩이 들어 있다.

그림 1은 파워 MOSFET의 칩에 집적되어 있는 MOSFET 소자 단면적이다. 드레인 전류가 세로(뒷면에서 표면)로 흐르는 구조이다.

세로형 구조이므로 드레인과 소스의 표면적이 커진다. 또 실리콘이 넓은 영역에서 전자나 정공(캐리어)이 흐르므로 1소자당 전류 밀도를 높게 할 수 있다.

그림 2는 마이컴 등의 CMOS 디지털 IC를 구성하는 하나의 MOSFET 소자 단면적이다. 같은 층 면에 가로 방향으로 전류가 흐르는 구조이다. 설계가 간단하지만 그림 1에 나타난 파워용 MOSFET 소자에 비해 전류 밀도가 낮은 구조로 되어 있다.

N채널형과 P채널형의 두 가지 타입이 있다

1. 전류를 흘리거나 차단하는 방법

그림 3은 N채널과 P채널의 MOSFET을 ON시킬 때 전압을 가하는 방법이다.

N채널인 경우, 소스에 대해 플러스 전압을 게이트에 가하면 드레인-소스간 저항값이 작아져 드레인에서 소스를 향해 전류(드레인 전류)가 흐르기 시작한다.

P채널인 경우 소스에 대해 마이너스 전압을 게이트에 가하면 드레인-소스간 저항값이 작아져 소스에서 드레인을 향해 전류가 흘러나온다.

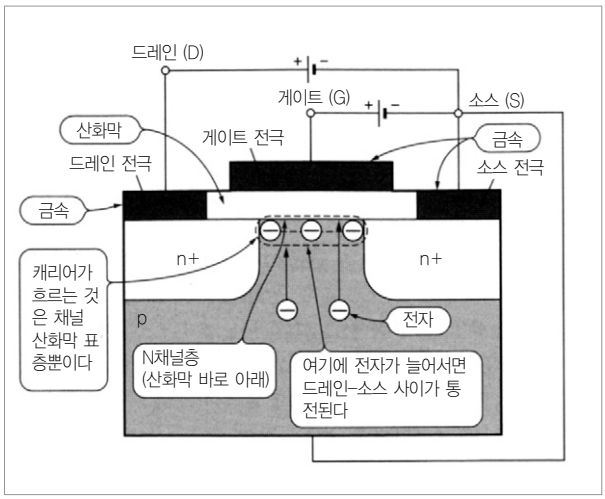

그림 2. 소신호용 MOSFET은 전류가 같은 층 면을 가로 방향으로 흐른다
(제조가 간단하지만 반도체의 전류 밀도를 높일 수 없다. 그림은 N채널)

2. N채널형 구조와 ON/OFF 구조

그림 1(a)에 나타난 바와 같이 N채널 MOSFET은 PN 접합을 베이스로 하는 기판(그림에서는 p 기판)에서 PN 접합을 형성하지 않은 p 기판 부분에 산화막과 금속 전극을 형성한 반도체이다.

게이트에 플러스 전압(소스를 0V로 한다)을 가하거나 또는 소스에 마이너스 전압을 가하면 게이트 산화막 바로 아래의 영역에 전자가 모이게 된다. p 기판의 경우 전자로 채우면 전자가 흐르기 쉬워진다. 이와 같이 전자가 모이는 것을 채널이라고 한다.

채널이 생기면 소스에서 드레인을 향해 전자가 흐른다. 또 소스보다 드레인의 전압이 높아지면 드레인에서 소스로 전류가 흐른다.

이 때 드레인에서 소스로 전류가 흐르기 쉬운 정도를 온 저항이라고 한다. 온 저항은 채널에 전자가 많이 모일수록 작아진다. 게이트에 전압을 가하지 않으면 채널은 없어지며 전류는 흐르지 않게 된다.

(1) 드레인 전류는 어느 쪽으로든 흐를 수 있다

앞서 설명한 바와 같이 게이트에 전압이 가해지면 드레인 전류는 소스에서 드레인 방향, 드레인에서 소스 방향으로 흐를 수 있다.

(2) 게이트에 일정량의 전하를 채우면 ON으로만 된다

또 게이트에 전하를 가하여 일단 전하로 채워 버리면, 전압 공급을 중지해도 채널은 도통 상태가 유지된다. ON되는 전력이 공급되는 것은 전하가 축적되는 동안뿐이다. 바이폴라 트랜지스터를 계속해서 ON하도록 하려면 베이스로 전류를 계속 공급해야 한다. 이에 비해 MOSFET은 구동 회로가 부담하

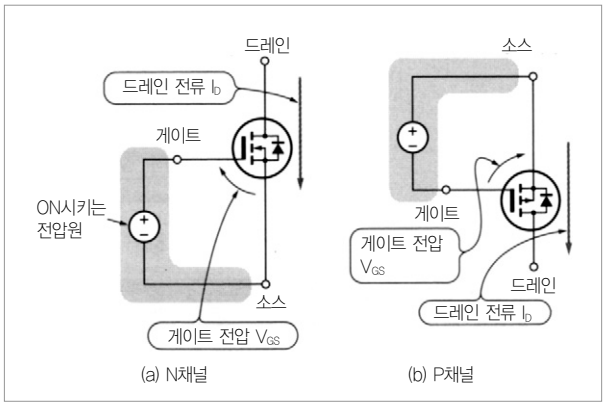

그림 3. MOSFET의 회로 기호와 ON시킬 때 전압을 가하는 방법

는 전력이 작아도 된다.

또 파워 MOSFET은 바이폴라나 IGBT보다 고속으로 스위칭할 수 있다. 이것은 단일 캐리어(전류로 되는 전자 또는 정공)만 이용하기 때문이다.

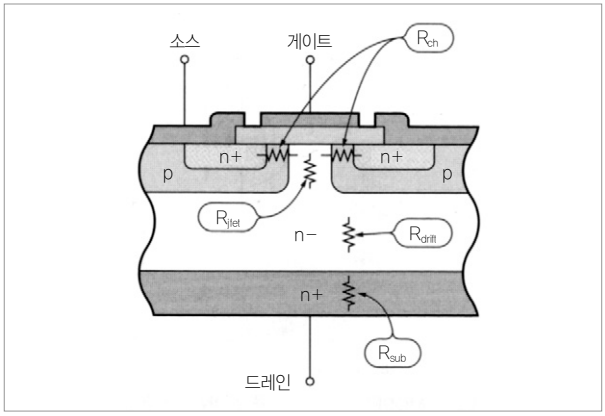

그림 4. 중고내압용 MOSFET의 온저항 모델에서 n−층이 두꺼우면 온저항이 커진다는 것을 알 수 있다

3. P채널형 구조와 ON/OFF 구조

그림 1(b)에 나타난 바와 같이, N채널 MOSFET은 PN 접합을 기본으로 하는 기판(그림에서는 n 기판)에서 PN 접합을 형성하지 않은 n 기판 부분에 산화막과 금속 전극을 형성한 반도체이다.

게이트에 마이너스 전압(소스를 0V로 한다)을 가하거나 소스에 플러스 전압을 가하면 게이트의 산화막 바로 아래 영역에 정공이 많이 모인다.

n 기판은 정공으로 채워지고 전류(정공)가 흐르기 쉬워진다. 정공은 채널(모인 정공)을 이용하여 흐르기 시작하며, 그 결과 소스에서 드레인으로 전류가 흐른다. 채널에 정공이 많이 모일수록 온 저항은 작아진다. 게이트 전압을 빼면 채널이 없어져 전류가 흐르지 않게 된다.

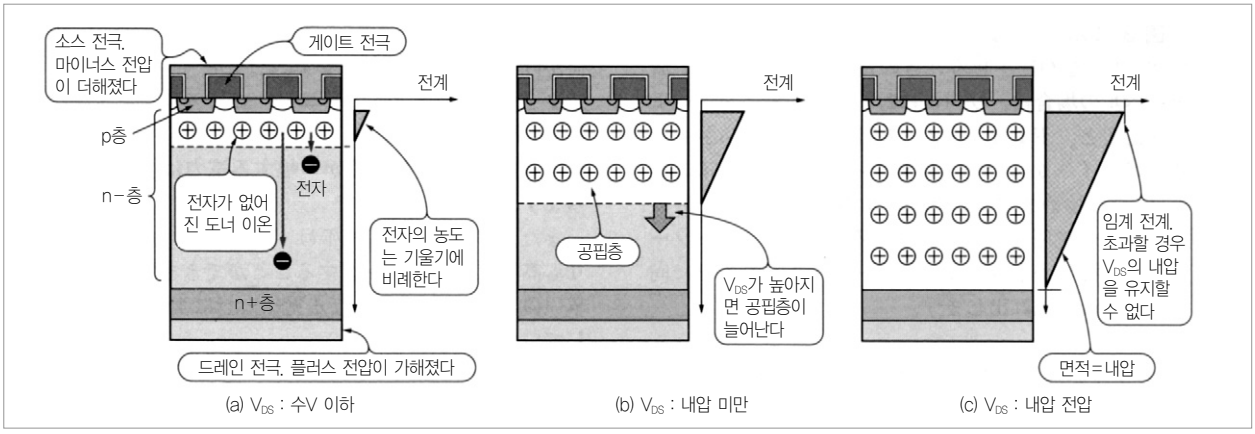

그림 5. 중고내압용 MOSFET에 사용되는 DMOS 구조는 높은 V_{DS}의 내압을 얻기 위해 n−층을 두껍게 할 필요가 있다

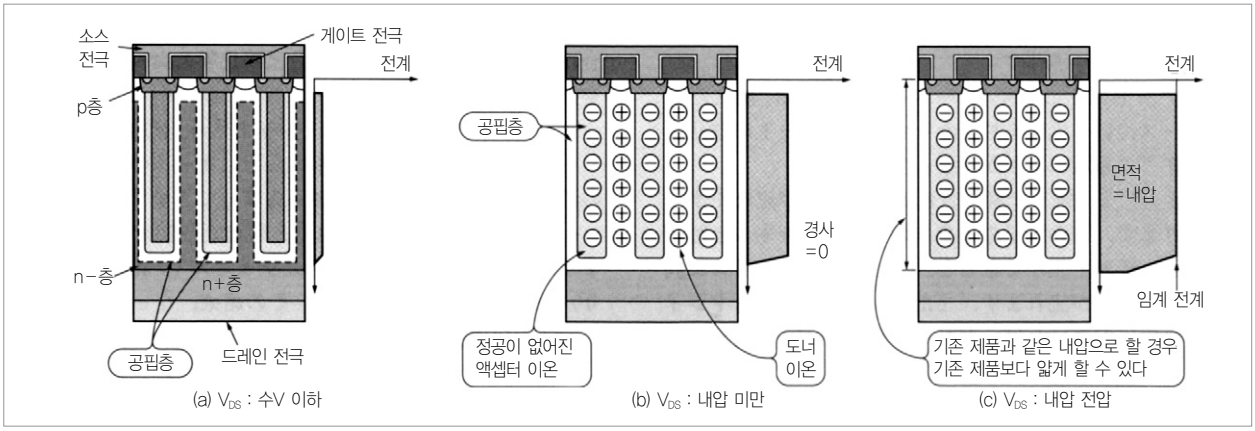

그림 6. 초접합 구조는 DMOS와 n−층이 같은 두께일 경우 더 높은 V_{DS}의 내압을 얻을 수 있다

종류와 구조

1. 내압이 75~1,000V인 중고내압형

중고내압형은 내압이 75~1,000V인 파워 MOSFET이다. 48V 버스 전원에서의 강압이나 100V 상용 전원 정류 회로에서의 강압, 역률 개선 회로 등 다양한 스위칭 전원에 폭넓게 이용되고 있다.

제1장의 그림 1과 같이 중고내압형은 프로세스가 미세화됨에 따라 온 저항과 칩 면적의 곱인 R_{on} A가 작아진다. 이 값이 작을수록 같은 칩 면적에서 온 저항이 작아진다. 반대로 말하면, 같은 온 저항일 경우 칩 사이즈가 작아져 소형 패키지에 탑재할 수 있다는 것이다.

제1장의 그림 2와 같이 초접합이라 불리는 새로운 구조의 MOSFET(DTMOS)이 탄생했다. 범용형 MOSFET과 비교하면 내압이 높아질수록 온 저항이 낮은 정도에 차이가 있다. 상세한 내용은 다음달에 게재되는 4장을 참조하기 바란다.

(1) 중고내압 MOSFET의 구조와 온 저항

① 범용 중간 내압 MOSFET의 구조(π-MOS)인 경우

그림 4는 범용 중고내압 MOSFET의 온 저항이 어디에 생겼는지 나타내는 구조도(π-MOS 구조)이다.

· 채널의 온 저항

전자가 지나는 길인 채널의 온 저항(R_{ch})은 미세화가 진행될수록 길이가 짧고 폭이 넓어지므로 작아진다.

· p+층과 p+층 사이의 온 저항 (R_{jfet})

미세화돼도 별로 변하지 않는다. 단, 트렌치 구조(나중에 설명한다)에서는 없어진다.

· n-층의 온 저항 (R_{drift})

고내압 MOSFET에서는 층이 두꺼우므로 커지며, 저내압 MOSFET에서는 층이 얇으므로 작아진다. 이것이 고내압 MOSFET의 온 저항이 큰 원인이다.

· n+ 기판의 온 저항 (R_{sub})

MOSFET의 n+ 기판에 의한 저항이며 별로 크지 않다.

② 고내압 MOSFET이 사용되는 DMOS 구조

그림 5와 같이 드레인-소스 사이에 전압(V_{DS})을 가하면 마이너스층에 공핍층이 발생한다. 이 공핍층은 V_{DS}가 커질수록 늘어난다.

내압이 높은 디바이스를 만들려면 이 공핍층이 확산되는 n-층에 어느 정도의 두께가 필요하다. 단, 두껍게 하면 전류가 흐를 때 온 저항이 커진다.

③ 초접합 구조인 경우

초접합(DTMOS)에서는 n-층의 일부에 p층을 형성한다. **그림 6**과 같이 드레인-소스 사이에 전압(V_{DS})을 가하면 n-층으로 공핍층이 확산된다. 단, 그것은 세로 방향이 아니다. 세로 방향으로 봤을 경우, 전계 강도가 균일하므로 얇은 n-층에서 DMOS와 같은 내압이 얻어지며 전류가 흘렀을 때의 온 저항이 작아진다.

2. 내압이 12~250V인 저내압형

(1) 낮은 온 저항 타입의 저내압형

저내압 MOSFET에는 낮은 온 저항 타입과 고속 타입(나중에 설명)이 있다. 제1장의 그림 3과 같이 저내압형 프로세스도 미세화되고 있으며 전류 밀도도 커지고 있다.

전류 밀도가 커지면 칩 사이즈를 작게 할 수 있으며 작은 패키지에 들어간다. 단, 패키지가 작아지면 방열이 나빠진다. 그

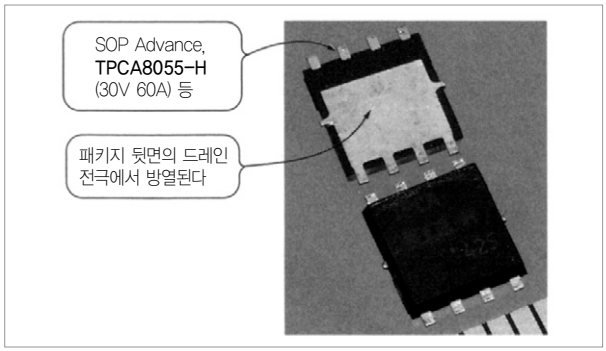

사진 1. 드레인 전극을 패키지 뒷면에 설치하여 기판으로 방열함에 따라 허용 손실이나 전류 정격이 올라간다

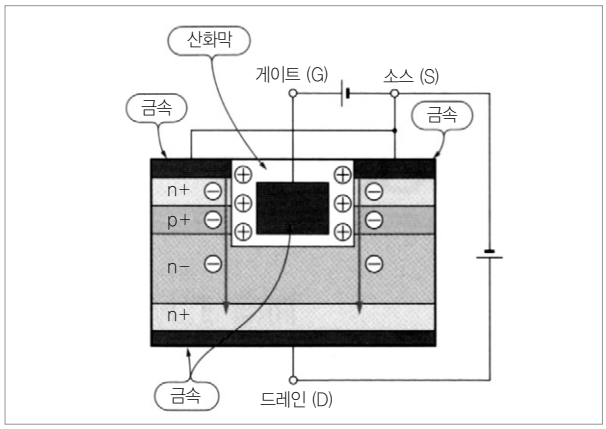

그림 7. 저내압 MOSFET인 경우 게이트 전극은 실리콘 표면이 아닌 내부에 내장되어 있으므로 중고내압 MOSFET보다 미세화할 수 있다

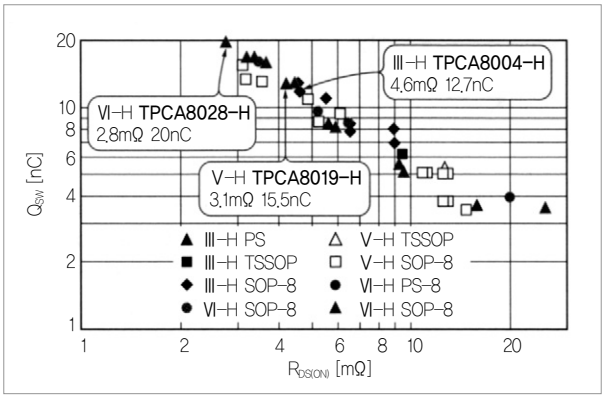

그림 8. 저내압 고속 MOSFET에서는 소자의 미세화와 집적화로 온 저항을 낮게 하면서 ON/OFF일 때 충방전이 필요한 게이트 용량도 낮게 하려고 했다

래서 드레인 전극을 뒷면으로 나오게 하여 그 상태에서 방열용 프린트 기판에 납땜할 수 있는 패키지에 대한 연구가 실시되고 있다.

사진 1은 뒷면 전극이 있는 패키지의 예로 SOP Advance를 나타낸 것이다.

이러한 연구에 의해 방열 효과가 높아졌고 열 저항이 낮아졌으며 허용 손실과 전류 정격이 높아졌다.

저내압형(도시바제인 경우)에서 사용한 것은 그림 7에 나타난 UMOS(트렌치)라는 구조이다. 게이트 전극이 실리콘 표면에서 내부로 들어가므로 고내압 MOSFET에 사용되고 있는 DMOS보다 미세화 부분에서 유리하다. 단, 여기에는 균일하게 홈을 파는 기술이 필요하다.

(2) 고속 타입의 저내압형

그림 8과 같이 고속 타입의 저내압 MOSFET은 게이트-드레인간 용량이 저감되고 있다. 이에 따라 고속으로 ON/OFF할 수 있게 된다.

MOSFET은 작은 MOSFET이 병렬로 접속된 집합체이다. 프로세스가 미세화될수록 채널의 단위면적당 병렬 수가 증가하며, 온 저항이 작아지고 게이트의 전하량이 커진다.

게이트의 전하량이 커지면 ON하기 위해 공급해야 하는 전하량이 늘어나므로 구동 회로에 큰 구동력이 요구된다. 고속 타입의 저내압 MOSFET은 온 저항과 게이트 전하의 양쪽이 작아지도록 조정 및 개발되고 있다. EE

<<< News

지식경제부

ESCO 사업에 12억 지원

지식경제부는 IT 기술 기반의 ESCO 사업 모델 발굴과 시범사업을 위해 올해 12억원의 예산을 지원하는 내용의 시행 계획을 공고했다.

ESCO(에너지절약전문기업) 사업은 에너지 사용자를 대신하여 ESCO가 에너지 절약형 시설을 설치하고, 여기서 발생하는 에너지 비용 절감분으로 ESCO 투자비를 회수하는 사업이다.

이번 IT 기술 기반 ESCO 사업은 총 3가지 분야에 대해 지원된다. 우선 빌딩에너지 관리 시스템, 공장에너지 관리 시스템 등 현장 적용 가능성이 검증된 IT 시스템을 ESCO 사업과 연계한 사업 모델을 지정 공모 방식으로 신청 받아 우수한 사업을 선별 지원키로 했다.

또한 빌딩에너지 관리 시스템, 공장에너지 관리 시스템 외에 에너지 절감 효과가 높고 ESCO 사업과 연계할 수 있는 신규 IT 시스템 및 서비스를 자유 응모 방식으로 지원 받은 후 선정된 사업 모델에 대해 에너지 사용자, ESCO, IT 기업 등 공동으로 소규모 ESCO 실증사업을 벌여 현장 적용 가능성을 검증할 계획이다.

끝으로, IT 기술 기반의 ESCO 사업 모델 확산을 위한 기반 조성 사업을 지원할 계획이며 IT 기술을 활용한 ESCO 사업 국내외 동향 조사, ESCO 사업화가 가능한 IT 기술 조사 사업과 2011년도 시범사업 결과를 활용하여 개발한 IT 기반 ESCO 사업 가이드라인 보급 및 IT 기술 활용 홍보 사업 등도 지원할 방침이다.

ESCO 사업에 지원하고자 하는 기업은 지식경제부, 정보통신산업진흥원 홈페이지(www.nipa.kr) 공고를 참조하여 4월 14일까지 정보통신산업진흥원에 신청하면 된다.